

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-110321

(43)Date of publication of application : 20.04.2001

(51)Int.Cl.

H01J 11/02  
B05D 1/40  
H01J 9/02  
H01J 11/00  
// C09D185/00

(21)Application number : 11-284212

(71)Applicant : FUJITSU LTD

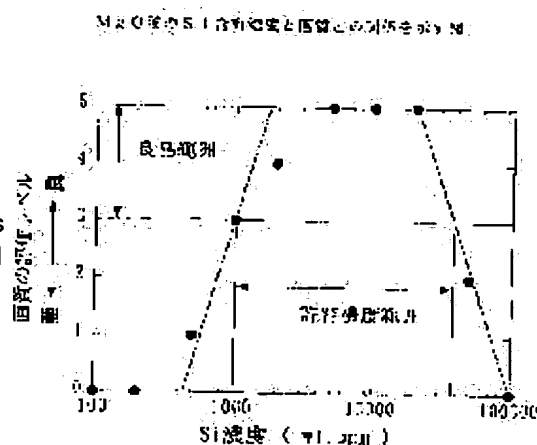
(22)Date of filing : 05.10.1999

(72)Inventor : HIDAKA SOICHIRO  
NAKAZAWA AKIRA**(54) PLASMA DISPLAY PANEL**

(57)Abstract:

**PROBLEM TO BE SOLVED:** To aim at reducing occurrence rate of 'black noise' that a cell to be lit does not light and improving quality of display panel with respect to the plasma display panel that has adopted MgO film formed by pyrolysis of a fatty acid salt as a protection coating.

**SOLUTION:** In a plasma display panel with a construction that electrodes disposed on at least one of paired substrates are coated with a dielectric layer so as to insulate from the discharge gas filled within the paired substrates written above, a film of magnesium oxide formed by pyrolysis of a fatty acid salt is provided, as the protection film in contact at least with the discharge gas on the dielectric layer written above, which contains an element with a valence above 3, silicon for instance, at a rate of 1,000 to 40,000 ppm in weight.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

**This Page Blank (uspto)**

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-110321

(P2001-110321A)

(43) 公開日 平成13年4月20日 (2001.4.20)

(51) IntCl <sup>7</sup>	識別記号	F I	テームコード (参考)
H 0 1 J 11/02		H 0 1 J 11/02	B 4 D 0 7 5
B 0 5 D 1/40		B 0 5 D 1/40	4 J 0 3 8
H 0 1 J 9/02		H 0 1 J 9/02	F 5 C 0 2 7
11/00		11/00	K 5 C 0 4 0
// C 0 9 D 185/00		C 0 9 D 185/00	

審査請求 未請求 請求項の数4 O L (全 8 頁)

(21) 出願番号 特願平11-284212

(22) 出願日 平成11年10月5日 (1999. 10. 5)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 発明者 日高 総一郎

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72) 発明者 中澤 明

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74) 代理人 100109852

弁理士 岩田 茂

最終頁に続く

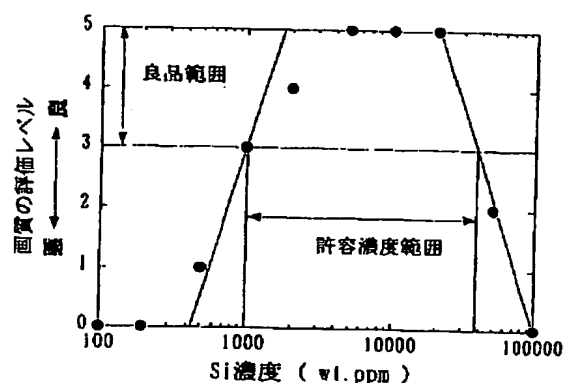
(54) 【発明の名称】 プラズマディスプレイパネル

(57) 【要約】

【課題】 本発明は、脂肪酸塩の熱分解により形成した MgO 膜を保護膜として採用したプラズマディスプレイパネルに関し、点灯すべきセルが点灯しない“黒ノイズ”の発生率を低減し、パネルの表示品質を高めることを目的とする。

【解決手段】 一対の基板の少なくとも一方の基板上に配設された電極が、誘電体層で被覆され、前記一対の基板内に充填される放電ガスから絶縁されてなる構成のプラズマディスプレイパネルにおいて、前記誘電体層上に少なくとも放電ガスと接する保護膜として、脂肪酸塩の熱分解により形成された酸化マグネシウム膜が設けられ、該酸化マグネシウム膜は原子価が3以上の元素、例えば珪素を1000～40000重量ppmの割合で含んでなる構成とする。

MgO膜のSi含有量と画質との関係を示す図



【特許請求の範囲】

【請求項1】 一対の基板の少なくとも一方の基板上に配設された電極が、誘電体層で被覆され、該一対の基板内に充填される放電ガスから絶縁されてなる構成のプラズマディスプレイパネルであって、前記誘電体層上に形成される保護膜として、脂肪酸塩の熱分解により形成された酸化マグネシウム膜が設けられていることを特徴とするプラズマディスプレイパネル。

【請求項2】 前記酸化マグネシウム膜は、酸化マグネシウムの一部のマグネシウムを原子価が3価以上の元素で置換した構成からなることを特徴とする請求項1に記載のプラズマディスプレイパネル。

【請求項3】 前記原子価が3以上の元素は、珪素およびアルミニウムのうちの少なくとも一つであることを特徴とする請求項2に記載のプラズマディスプレイパネル。

【請求項4】 前記原子価が3以上の元素として、珪素を1000～40000重量ppmの割合で含むことを特徴とする請求項2に記載のプラズマディスプレイパネル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、マトリクス表示方式のAC型プラズマディスプレイパネル（Plasma Display Panel: PDP）に関し、特に画面に沿った放電を生じさせる面放電形式のPDPに好適なパネル構成に関するものである。

【0002】 近年、PDPは、カラー画面の実用化を機にテレビジョン映像やコンピュータのモニターなどの用途で広く用いられるようになり、ハイビジョン用の大画面フラット型デバイスとしても注目されている。

【0003】 マトリクス表示方式のPDPにおいて、表示素子であるセルの点灯状態の維持（サステイン）にメモリ効果が利用されている。AC型PDPは、電極を誘電体で被覆することにより構造的にメモリ機能を有するように構成されている。すなわち、AC型PDPによる表示に際しては、点灯（発光）すべきセルのみに壁電荷を蓄積させるライン順次のアドレッシングを行い、その後全セルに対して一斉に放電開始電圧より低い交番極性の電圧（サステイン電圧）を印加する。

【0004】

【従来の技術】 商品化されている面放電形式のPDPでは、マトリクス表示のライン毎に画面の全長にわたって延びる一対のサステイン電極（第1及び第2の電極）が平行に配置され、列毎にアドレス電極（第3の電極）が配置されている。各ラインにおけるサステイン電極間隙は“放電スリット”と呼称されており、その幅は200～250ボルト程度の実効電圧の印加で面放電が生じる値（例えば50～100μm）に選定されている。

【0005】 一方、隣接するライン同士の間におけるサ

ステイン電極間隙は“逆スリット”と呼称されている。該逆スリットの幅は放電スリットよりも十分に大きい値に選定されている。すなわち、逆スリットを隔てて並ぶサステイン電極同士の間での面放電が防止されている。このように、放電スリット及び逆スリットを設けてサステイン電極を配列することにより、各ラインを選択的に発光させることができる。

【0006】 サステイン電極を被覆する誘電体層（例えば低融点ガラス層）の表面には、放電時のイオン衝撃の影響を軽減する耐スパッタ性の保護膜が設けられている。該保護膜は放電ガスと直接的に接することから、その材質及び膜質が放電特性に大きな影響を与えることになり、一般に、保護膜材料として酸化マグネシウム（MgO：マグネシア）が用いられている。該MgOは耐スパッタ性に優れ、且つ二次電子放出係数の大きい絶縁物である。つまり、MgOを保護膜に用いることによって放電開始電圧が下がって駆動が容易になる。このMgO膜からなる保護膜は、MgO結晶の粒の群を蒸着源とした電子ビーム蒸着法等により形成されていた。

【0007】

【発明が解決しようとする課題】 一方、電子ビーム蒸着法等よりも簡易にMgO膜を形成するために、発明者らは新たに、例えばエナント酸マグネシウム〔(C<sub>6</sub>H<sub>13</sub>COO)<sub>2</sub>Mg〕と、エタノール（C<sub>2</sub>H<sub>5</sub>OH）と、PGMEA（プロピレングリコールモノメチルエーテルアセテート）とを重量比で1：1.5：1の割合で混合して調製した塗布溶液を、前記サステイン電極を被覆した誘電体層の表面にスピナー等によって塗布し、乾燥した塗布膜を前記サステイン電極を被覆した誘電体層が設けられた基板と共に、大気中500℃で2時間ほど焼成することにより前記誘電体層の表面に1μm程度の厚さのMgO膜からなる保護膜を形成することを検討した。

【0008】 しかし、そのようなMgO膜を保護膜として用いた場合には、“黒ノイズ”と呼称される表示の乱れが多発するという問題があった。“黒ノイズ”とは、点灯すべきセル（選択セル）が点灯しない現象であり、画面のうちの点灯領域と非点灯領域との境界で生じ易い。1つのライン又は1つの列における複数の選択セルの全てが点灯しないというのではなく、発生部位が点在することから、黒ノイズの原因はアドレス放電が生じないか又は生じても強度が足りないアドレスミスであると言える。

【0009】 アドレスミスの原因としては、逆スリットにおける壁電荷の残留が考えられ、リセットパルスによる面放電が過剰に拡がって逆スリットにも壁電荷が帯電した場合、その後に自己消去放電が生じても放電スリットから遠い逆スリットに在る壁電荷は残留する。この残留電荷によってアドレッシングの実効電圧が下がり、アドレスミスが起こるものと考えられる。

【0010】 近傍のセルが選択セルであれば、その近傍

のセルでのアドレス放電による空間電荷がブライミング効果に寄与するので、アドレスミスは起こりにくい。これに対して、上述の境界のように近傍のセル（特にスキヤニングの前方側）が非選択セルである場合は、ブライミング効果が生じないので、アドレスミスが起こり易い。

【0011】本発明は上記した従来の問題点に鑑み、脂肪酸塩の熱分解により形成したMgO膜を保護膜として採用したプラズマディスプレイパネルにおいて、点灯すべきセルが点灯しない“黒ノイズ”の発生率を低減し、表示品質を高めることを目的とするものである。

【0012】

【課題を解決するための手段】脂肪酸塩を熱分解したMgO膜を保護膜として用いた場合、黒ノイズの発生の度合いは、その膜内に含有される不純物材料およびその含有量並びにその形成条件等に依存することが判明した。

【0013】前記酸化マグネシウム膜の特定の膜質と黒ノイズの発生との関係を調べると、該酸化マグネシウム(MgO)に対する珪素(Si)の含有量が一定範囲内の値である場合には黒ノイズの発生の度合いが小さいという結果を得た。またホウ素(B)、炭素(C)、カルシウム(Ca)については、黒ノイズの発生率の大きい試料と小さい試料との間で顕著な差異が無かった。珪素と同じくマグネシウムより原子価の大きい(3以上)の元素、特にイオン半径がマグネシウムに近い3a族又は4a族の元素の中に、珪素と同様の作用を呈するものがあると推定できる。

【0014】黒ノイズの原因であるアドレスミスが抑制される理由としては、前記酸化マグネシウム膜は、酸化マグネシウムの一部のマグネシウムを原子価が3以上の元素、例えば珪素で置換される構成となることからその電気的特性が改善され、二次電子の放出量が増大して残留電荷による実効電圧の低下が補われること、電荷の残留自体が軽減されること、残留電荷が速やかに消失することなどが考えられる。

【0015】即ち、請求項1の発明は、一対の基板の少なくとも一方の基板上に配設された電極が、誘電体層で被覆され、該一対の基板内に充填される放電ガスから絶縁されてなる構成のPDPであって、前記誘電体層上に形成される保護膜として、脂肪酸塩の熱分解により形成された酸化マグネシウム膜が設けられている構成とする。

【0016】請求項2の発明は、前記酸化マグネシウム膜は、酸化マグネシウムの一部のマグネシウムを原子価が3以上の元素で置換した構成からなる。請求項3の発明は、前記原子価が3以上の元素は、珪素およびアルミニウムのうちの少なくとも一つである。

【0017】請求項4の発明は、前記原子価が3以上の元素として、珪素を1000~40000重量ppmの割合で含む構成とする。

【0018】

【発明の実施の形態】以下図面を用いて本発明の実施例について詳細に説明する。図1は本発明に係るプラズマ表示装置100のブロック図である。

【0019】該プラズマ表示装置100は、マトリクス形式のカラー表示デバイスであるAC型のPDP1と、画面(スクリーン)を構成する多数のセルを選択的に点灯させるための駆動ユニット80とからなり、壁掛け式テレビジョン受像機、コンピュータシステムのモニターなどとして利用される。

【0020】PDP1は、一対のサステイン電極X、Yが平行配置された面放電形式のPDPであり、各セルにサステイン電極X、Yとアドレス電極Aとが対応する3電極構造の電極マトリクスを有している。

【0021】サステイン電極X、Yは画面のライン方向(水平方向)に延び、一方のサステイン電極Yはアドレッシングに際してライン単位にセルを選択するためのスキヤン電極として用いられる。アドレス電極Aは列単位にセルを選択するためのデータ電極であり、列方向(垂直方向)に延びている。

【0022】駆動ユニット80は、コントローラ81、フレームメモリ82、Xドライバ回路86、Yドライバ回路87、アドレスドライバ回路88、及び図示しない電源回路を有している。また前記駆動ユニット80には外部装置から各ピクセルのRGBの輝度レベル(階調レベル)を示す多値の映像データDR、DG、DBが、各種の同期信号とともに入力される。該映像データDR、DG、DBは、フレームメモリ82に一旦格納された後、コントローラ81によって各色毎にサブフレームデータDs fに変換され、再びフレームメモリ82に格納される。該サブフレームデータDs fは、階調表示のために1フレームを分割した各サブフレームにおけるセルの点灯の要否を示す2値データの集合である。

【0023】Xドライバ回路86は、サステイン電極Xに対する電圧印加を担い、Yドライバ回路87はサステイン電極Yに対する電圧印加を担う。アドレスドライバ回路88は、フレームメモリ82から転送されたサブフレームデータDs fに応じて、アドレス電極Aに選択的にアドレス電圧を印加する。

【0024】次に、PDP1に適用する駆動方法を説明する。図2はフレーム分割の模式図であり、図3は駆動シーケンスを示す電圧波形図である。

【0025】図2のように、セルの発光の2値制御によって階調再現を行うためには、外部からの入力画像である時系列の各フレームFを、例えば6個のサブフレームsf1、sf2、sf3、sf4、sf5、sf6に分割する。各サブフレームsf1~sf6における輝度の相対比率が1:2:4:8:16:32となるように重み付けをして、各サブフレームsf1~sf6のサステインの発光回数を設定する。サブフレーム単位の発光の

有無の組合せでRGBの各色毎にレベル「0」～「63」の64段階の輝度設定を行うことができるので、表示可能な色の数は $64^3$ となる。なお、サブフレームsf1～sf6を輝度の重みの順に表示する必要はない。例えば重みの大きいサブフレームsf6を表示期間の中間に配置するといった最適化を行うことができる。

【0026】次に図3のように、各サブフレームsf1～sf6に対して、リセット期間TR、アドレス期間TA、及びサステイン期間TSを割り当てる。リセット期間TR及びアドレス期間TAの長さは輝度の重みに係わらず一定であるが、サステイン期間TSの長さは輝度の重みが大きいほど長い。つまり、各サブフレームsf1～sf6の表示期間の長さは互いに異なる。

【0027】該リセット期間TRは、それ以前の点灯状態の影響を防ぐため、画面全体の壁電荷の消去（初期化）を行う期間である。全てのライン（ライン数はn）のサステイン電極Xに波高値が面放電開始電圧を越える正極性のリセットパルスPwを印加し、同時に背面側の帯電とイオン衝撃を防ぐために全てのアドレス電極Aに正極性のパルス印加する。リセットパルスPwの立上がりと呼応して全てのラインで強い面放電が生じ、セル内に多量の壁電荷が生じる。壁電圧と印加電圧との相殺によって実効電圧が下がる。リセットパルスPwが立下がると、壁電圧がそのまま実効電圧となって自己放電が生じ、全てのセルにおいてほとんどの壁電荷が消失し、画面全体が一様な非帯電状態となる。

【0028】前記アドレス期間TAは、アドレッシング（点灯／非点灯の設定）を行う期間である。サステイン電極Xを接地電位に対して正電位にバイアスし、全てのサステイン電極Yを負電位にバイアスする。この状態で、先頭のラインから1ラインずつ順に各ラインを選択し、該当するサステイン電極Yに負極性のスキャンパルスPyを印加する。ラインの選択と同時に、サブフレームデータDs fが示す点灯すべきセルに対応したアドレス電極Aに対して正極性のアドレスパルスPaを印加する。

【0029】選択されたラインにおいて、アドレスパルスPaの印加されたセルでは、サステイン電極Yとアドレス電極Aとの間で対向放電が起こり、それが面放電に移行する。これら一連の放電がアドレス放電である。サステイン電極XがアドレスパルスPaと同極性の電位にバイアスされているので、そのバイアスでアドレスパルスPaが打ち消され、サステイン電極Xとアドレス電極Aとの間では放電は起きない。

【0030】前記サステイン期間TSは、階調レベルに応じた輝度を確保するために、設定された点灯状態を維持する期間である。不要の放電を防止するため、全てのアドレス電極Aを正極性の電位にバイアスし、最初に全てのサステイン電極Yに正極性のサステインパルスPsを印加する。その後、サステイン電極Xとサステイン電

極Yとに対して交互にサステインパルスPsを印加する。サステインパルスPsの印加毎に、アドレス期間TAにおいて壁電荷の蓄積したセルで面放電が生じる。サステインパルスPsの印加周期は一定であり、輝度の重みに応じて設定された個数のサステインパルスPsが印加される。

【0031】図4は本発明のPDP1の内部構造を示す斜視図である。PDP1では、放電空間30を挟む基板対のうちの前面側のガラス基板11の内面に、画面の水平方向のセル列であるラインL毎に一对ずつサステイン電極X、Yが配列されている。サステイン電極X、Yは、それぞれが透明導電膜41と抵抗値を低減するための金属膜42とからなり、AC駆動のための誘電体層17で被覆されている。誘電体層17の材料は例えばPbO系低融点ガラス（誘電率は約10）である。誘電体層17の表面には保護膜として後述する膜質のMgO膜18が被着されており、その膜厚は約7000Åである。誘電体層17及びMgO膜18は透光性を有している。なお、サステイン電極、誘電体層、保護膜の積層体が形成された基板は、プラズマディスプレイパネル用基板構体と呼称されている。

【0032】また背面側のガラス基板21の内面には、下地層22、アドレス電極A、絶縁層24、隔壁29、及びカラー表示のための3色（R、G、B）の蛍光体層28R、28G、28Bが設けられている。各隔壁29は平面視において直線状である。これら隔壁29によって放電空間30がライン方向にサブピクセル（単位発光領域）毎に区画され、且つ放電空間30の間隙寸法が一定値（150μm程度）に規定されている。放電空間30には、ネオンに微量のキセノンを混合した放電ガスが充填されている。前記蛍光体層28R、28G、28Bは、放電で生じた紫外線が局部的に励起されて所定色の可視光を放つ。

【0033】表示の1ピクセルはライン方向に並ぶ3つのサブピクセルで構成される。各サブピクセルの範囲内の構造体がセルである。隔壁29の配置パターンがストライプパターンであることから、放電空間30のうちの各列に対応した部分は、全てのラインに跨って列方向に連続しており、各列内のサブピクセルの発光色は同一である。

【0034】以上の構造のPDP1は、各ガラス基板11、21について別個に所定の構成要素を設けて前面及び背面用の基板構体を作製し、両基板構体を重ね合わせて対向間隙の周縁を封止し、内部の排気及び放電ガスの充填を行う一連の工程によって製造される。なお、その前面用の基板構体の作製において、MgO膜18は、黒ノイズの低減に有効な膜質が得られるように選定された条件で成膜される。

【0035】以下、本発明の特徴とするMgO膜18の膜質とPDPに適用した場合の画質について説明する。

先ず、PDP 1を構成する、例えばガラス基板 11, 21 に対して別個に所定の構成要素を設けて作成した複数の前面及び背面用の基板構体（以下、前面用電極基板及び背面用電極基板と称する）を用意し、少なくとも前面用電極基板のそれぞれの表面に以下の互いに異なる条件でMgO膜を設ける。

【0036】例えば、試料1として、マグネシウムの脂肪酸塩であるエナント酸マグネシウム〔 $(C_6H_{13}COO)_2Mg$ 〕と、エタノール（ $C_2H_5OH$ ）と、PGMEA（プロピレングリコールモノメチルエーテルアセテート）とを重量比で1：1.5：1の割合で混合して調製した塗布溶液（以下、標準溶液とも称する）を、用意した前面用電極基板の誘電体層の表面にスピナー等により塗布し、乾燥する。その塗布膜を前記基板と共に、大気中500℃で2時間ほど焼成して前記誘電体層の表面に約7000Åの厚さのMgO膜からなる保護膜を形成して試料1を得た。

【0037】次に試料2として、前記標準溶液に、該標準溶液中のエナント酸マグネシウムに対して珪素の脂肪酸塩であるエナント酸シリコン〔 $(C_6H_{13}COO)_4Si$ 〕を重量比で1：0.000275の割合で添加し混合して調製した塗布溶液を、用意した前面用電極基板の誘電体層の表面にスピナー等により一様に塗布し、乾燥した塗布膜を前記基板と共に、大気中500℃で2時間ほど焼成して前記誘電体層の表面に約7000Åの厚さのMgO膜（Si含有濃度が100重量ppm）からなる保護膜を形成して試料2を得た。

【0038】次に試料3として、前記標準溶液に、該標準溶液中のエナント酸マグネシウムに対してエナント酸シリコンを重量比で1：0.000550の割合で添加し混合して調製した塗布溶液を、用意した前面用電極基板の誘電体層の表面にスピナー等により一様に塗布し、乾燥した塗布膜を前記基板と共に、大気中500℃で2時間ほど焼成して前記誘電体層の表面に約7000Åの厚さのMgO膜（Si含有濃度が200重量ppm）からなる保護膜を形成して試料3を得た。

【0039】次に試料4として、前記標準溶液に、該標準溶液中のエナント酸マグネシウムに対してエナント酸シリコンを重量比で1：0.001375の割合で添加し混合して調製した塗布溶液を、用意した前面用電極基板の誘電体層の表面にスピナー等により一様に塗布し、乾燥した塗布膜を前記基板と共に、大気中500℃で2時間ほど焼成して前記誘電体層の表面に約7000Åの厚さのMgO膜（Si含有濃度が500重量ppm）からなる保護膜を形成して試料4を得た。

【0040】次に試料5として、前記標準溶液に、該標準溶液中のエナント酸マグネシウムに対してエナント酸シリコンを重量比で1：0.00275の割合で添加し混合して調製した塗布溶液を、用意した前面用電極基板の誘電体層の表面にスピナー等により一様に塗布し、乾

燥した塗布膜を前記基板と共に、大気中500℃で2時間ほど焼成して前記誘電体層の表面に約7000Åの厚さのMgO膜（Si含有濃度が1000重量ppm）からなる保護膜を形成して試料5を得た。

【0041】次に試料6として、前記標準溶液に、該標準溶液中のエナント酸マグネシウムに対してエナント酸シリコンを重量比で1：0.0055の割合で添加し混合して調製した塗布溶液を、用意した前面用電極基板の誘電体層の表面にスピナー等により一様に塗布し、乾燥した塗布膜を前記基板と共に、大気中500℃で2時間ほど焼成して前記誘電体層の表面に約7000Åの厚さのMgO膜（Si含有濃度が2000重量ppm）からなる保護膜を形成して試料5を得た。

【0042】次に試料7として、前記標準溶液に、該標準溶液中のエナント酸マグネシウムに対してエナント酸シリコンを重量比で1：0.01375の割合で添加し混合して調製した塗布溶液を、用意した前面用電極基板の誘電体層の表面にスピナー等により一様に塗布し、乾燥した塗布膜を前記基板と共に、大気中500℃で2時間ほど焼成して前記誘電体層の表面に約7000Åの厚さのMgO膜（Si含有濃度が5000重量ppm）からなる保護膜を形成して試料7を得る。

【0043】次に試料8として、前記標準溶液に、該標準溶液中のエナント酸マグネシウムに対してエナント酸シリコンを重量比で1：0.0275の割合で添加し混合して調製した塗布溶液を、用意した前面用電極基板の誘電体層の表面にスピナー等により一様に塗布し、乾燥した塗布膜を前記基板と共に、大気中500℃で2時間ほど焼成して前記誘電体層の表面に約7000Åの厚さのMgO膜（Si含有濃度が10000重量ppm）からなる保護膜を形成して試料8を得た。

【0044】次に試料9として、前記標準溶液に、該標準溶液中のエナント酸マグネシウムに対してエナント酸シリコンを重量比で1：0.0550の割合で添加し混合して調製した塗布溶液を、用意した前面用電極基板の誘電体層の表面にスピナー等により一様に塗布し、乾燥した塗布膜を前記基板と共に、大気中500℃で2時間ほど焼成して前記誘電体層の表面に約7000Åの厚さのMgO膜（Si含有濃度が20000重量ppm）からなる保護膜を形成して試料9を得た。

【0045】次に試料10として、前記標準溶液に、該標準溶液中のエナント酸マグネシウムに対してエナント酸シリコンを重量比で1：0.1375の割合で添加し混合して調製した塗布溶液を、用意した前面用電極基板の誘電体層の表面にスピナー等により一様に塗布し、乾燥した塗布膜を前記基板と共に、大気中500℃で2時間ほど焼成して前記誘電体層の表面に約7000Åの厚さのMgO膜（Si含有濃度が50000重量ppm）からなる保護膜を形成して試料10を得た。

【0046】次に試料11として、前記標準溶液に、該

標準溶液中のエナント酸マグネシウムに対してエナント酸シリコンを重量比で1:0.275の割合で添加し混合して調製した塗布溶液を、用意した前面用電極基板の誘電体層の表面にスピナー等により一様に塗布し、乾燥した塗布膜を前記基板と共に、大気中500℃で2時間ほど焼成して前記誘電体層の表面に約7000Åの厚さのMgO膜(Si含有濃度が100000重量ppm)からなる保護膜を形成して試料11を得た。

【0047】そして、上記試料1~11の保護膜が形成された各前面用電極基板を用いたPDPを試作し、これら試作した各PDPの画質に対して図5に示す6段階の評価レベルにより評価を行って、試作PDPの各試料の保護膜(MgO膜)中のSi含有濃度と画質との関係を調べた。

【0048】前記試作PDPの画質の評価は、該試作PDPを数十ライン置きに点灯ライン群と非点灯ライン群とが交互に並ぶ横ストライプパターンを表示させて目視検査によって行った。点灯ライン群の輝度レベルを最大輝度の約半分の「32」とした。即ち、重みが「32」のサブフレームsf6のみを点灯させて黒ノイズが目立つようにした。点灯させるサブフレーム数が1であれば、1回のアドレスミスがフレーム全体の消灯として現れる。また、輝度レベルが「32」であれば、正しく点灯したときとそうでないときとの輝度差が大きい。

【0049】上述のように先頭ラインから順に各ラインを選択してアドレッシングを行う場合には、各点灯ライン群における先頭ラインに最も近いラインで黒ノイズが発生し易い。ただし、常にアドレスミスが生じるとは限らないので、黒ノイズは発光のちらつきとして知覚される。ここでの黒ノイズの評価は、プライミングの効果の少ない非常に点灯し難い条件での測定であるので、評価レベル3では実用的な使用に関しては全く問題のない良好なレベルであり、評価レベル2より画質が低いと文字が読みづらくなるが、評価レベル3以上の画質であれば実用的に問題はない。

【0050】前記試作PDPの各試料の保護膜(MgO膜)中のSi含有濃度と画質との関係を調べた結果を図6及び図7に示している。これら図6及び図7によって明らかなように、画質の良品範囲に対応する保護膜(MgO膜)中のSi含有濃度の許容範囲は、1000~40000重量ppmであり、5000~20000重量ppmのSi含有濃度範囲の保護膜(MgO膜)において最良の画質が得られることが判明した。

【0051】なお、試作した各PDPの保護膜(MgO膜)の組成(Mg, MgO, Si等)を二次イオン質量分析法(SIMS)で調べたところ、液状のMgとSiの脂肪酸塩とを混合した塗布溶液により形成された塗布膜

の熱分解によって得られたSiを含むMgO膜は、MgOの一部のMgを原子価が3以上の例えばSiで置換された構成となることから真空蒸着法により得られたSiを含むMgO膜に比べて、深さ方向(厚さ方向)へのSiの濃度分布が非常に均一であり、その電気的特性も改善されるので、黒ノイズの時間的な変化が極めて少なく安定することが判った。

【0052】更に、以上の実施例では面放電型のカラー表示PDPを対象とした場合について説明しているが、本発明はそのようなPDPに限定されるものではなく、例えば対向放電型のPDP等にも適用することができることはいうまでもない。

#### 【0053】

【発明の効果】以上の説明から明らかなように、本発明のプラズマディスプレイパネルによれば、脂肪酸塩の熱分解により形成したMgO膜を保護膜として採用したプラズマディスプレイパネルにおいて、点灯すべきセルが点灯しない“黒ノイズ”の発生率を著しく低減することができるので、表示品質を高めることが可能となり、実用上優れた効果を奏する。

#### 【図面の簡単な説明】

【図1】 本発明のPDPを用いたプラズマ表示装置のブロック図である。

【図2】 フレーム分割の模式図である。

【図3】 駆動シーケンスを示す電圧波形図である。

【図4】 本発明のPDPの内部構造を示す要部斜視図である。

【図5】 試作PDPの画質の評価レベルを示す図である。

【図6】 MgO膜のSi含有濃度と画質との関係を示す図である。

【図7】 試作のPDPの各試料のMgO膜中のSi含有濃度と画質の評価との関係を示す図である。

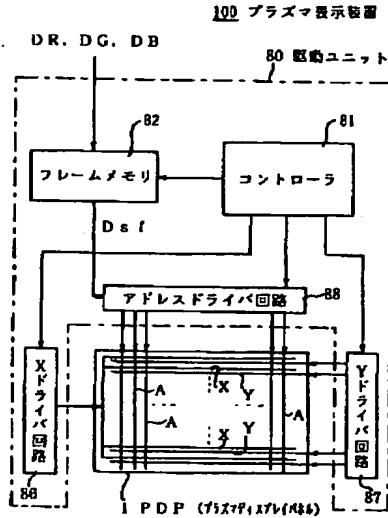
#### 【符号の説明】

- 1 PDP
- 11, 21 ガラス基板
- X サステイン電極
- Y サステイン電極
- A アドレス電極
- 17 誘電体層
- 18 MgO膜(保護膜)
- 30 放電空間
- 80 駆動ユニット
- TA アドレス期間
- TR リセット期間(初期化期間)
- TS サステイン期間



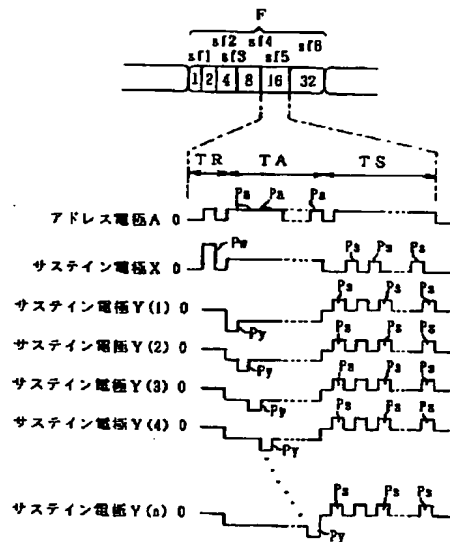
【図1】

本発明のPDPを用いたプラズマ表示装置のブロック図



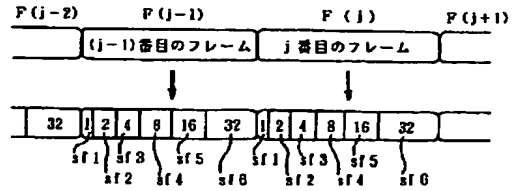
【図3】

駆動シーケンスを示す電圧波形図



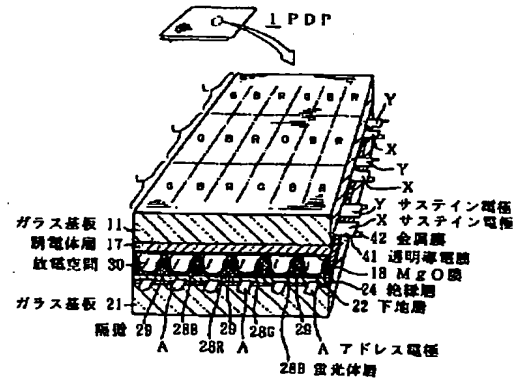
【図2】

フレーム分割の模式図



【図4】

本発明のPDPの内部構造を示す要部斜視図



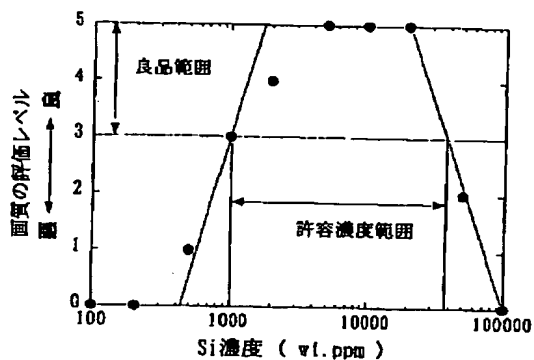
【図5】

試作PDPの画質の評価レベルを示す図

評価レベル	ちらつきの度合い
5 (最良)	ちらつきが無い
4	断続的に数画程度のセルで生じる
3 (良)	ほぼ定期的に数画程度のセルで生じる
2	1ラインの大半のセルで定期的に生じる
1	2ラインの大半のセルで定期的に生じる
0 (最悪)	3ライン以上のラインの大半のセルで定期的に生じる

【図6】

MgO膜のSi含有濃度と画質との関係を示す図



【図7】

試作PDPの各試料のMgO膜中のSi含有濃度と画質の評価との関係を示す図

試料	(C <sub>2</sub> H <sub>5</sub> COO) <sub>2</sub> Mg に対する (C <sub>2</sub> H <sub>5</sub> COO) <sub>2</sub> Si の添加重量比	MgO膜中のSi 含有濃度 (重量ppm)	保護膜の 評価レベル
1	1 : 0	0	0
2	1 : 0.000275	100	0
3	1 : 0.000550	200	0
4	1 : 0.001375	500	1
5	1 : 0.00275	1000	3
6	1 : 0.00550	2000	4
7	1 : 0.01375	5000	5
8	1 : 0.0275	10000	5
9	1 : 0.0550	20000	5
10	1 : 0.1375	50000	2
11	1 : 0.275	100000	0

フロントページの続き

Fターム(参考) 4D075 AE03 DA06 DB13 DC21 EC02  
 4J038 AA011 HA181 PB09  
 5C027 AA06  
 5C040 GE07 JA21 KA03 KA05 KB03  
 KB19 KB28 MA17